

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-195645

(43)Date of publication of application : 30.07.1996

(51)Int.Cl.

H03H 9/25
H01L 23/12
H03H 3/08
H03H 9/02

(21)Application number : 07-004584

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 17.01.1995

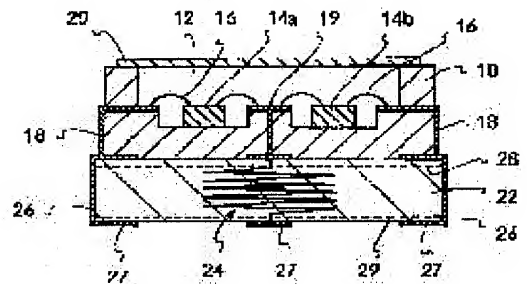
(72)Inventor : GOMYO TOSHIO
KODAIRA MASAJI

(54) PACKAGE FOR MOUNTING ELEMENT

(57)Abstract:

PURPOSE: To provide a simple package structure for the package for mounting element where an element such as a surface acoustic wave filter element is mounted even when an impedance matching circuit is formed between an internal connection terminal and an external connection terminal.

CONSTITUTION: Of the element mounted package having the impedance matching circuit 24 formed between the internal connection terminal 19 and external connection terminal 27 formed on the package where the surface acoustic wave filter elements 14a and 14b are mounted, the impedance matching circuit 24 is formed on a matching circuit substrate 22 which is formed as a different body from the element mounted substrate 10 where the elements 14a and 14b are formed, and the element mounted substrate 10 and matching circuit board 22 are joined together. Then the internal connection terminal 19 provided on the element mounted substrate 10 and the impedance matching circuit 24 provided on the matching circuit board 22 are electrically connected to each other.



LEGAL STATUS

[Date of request for examination]

12.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 1 9 5 6 4 5

(43) 公開日 平成 8 年 (1996) 7 月 30 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 9/25	A	7259 - 5 J		
H 0 1 L 23/12				
H 0 3 H 3/08		7259 - 5 J		
9/02	J			
審査請求 未請求 請求項の数 9			H 0 1 L 23/12 O L	B (全 5 頁)

(21) 出願番号 特願平 7 - 4584

(22) 出願日 平成 7 年 (1995) 1 月 17 日

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田 711 番地

(72) 発明者 五明 利雄

長野県長野市大字栗田字舍利田 711 番地

新光電気工業株式会社内

(72) 発明者 小平 正司

長野県長野市大字栗田字舍利田 711 番地

新光電気工業株式会社内

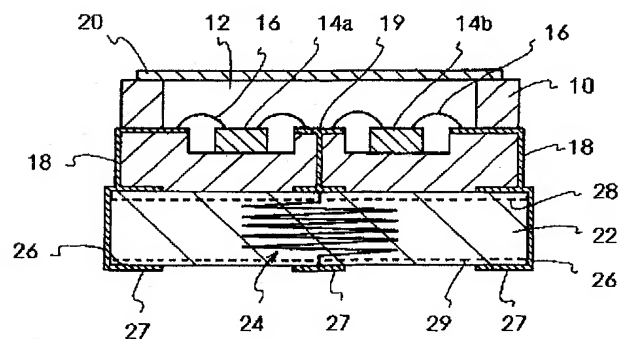
(74) 代理人 弁理士 綿貫 隆夫 (外 1 名)

(54) 【発明の名称】 素子搭載用パッケージ

(57) 【要約】

【目的】 表面弾性波フィルタ素子等の素子が搭載される素子搭載用パッケージにおいて、内部接続端子と外部接続端子との間に、インピーダンス整合用回路を形成しても、簡素なパッケージ構造とし得る素子搭載用パッケージを提供する。

【構成】 表面弾性波フィルタ素子 14 a、14 b が搭載されるパッケージに形成された内部接続端子 19 と外部接続端子 27 との間に、インピーダンス整合用回路 24 が形成された素子搭載用パッケージにおいて、該インピーダンス整合用回路 24 が、素子 14 a、14 b が搭載される素子搭載基板 10 とは別体に形成された整合用回路基板 22 に形成され、且つ素子搭載基板 10 と整合用回路基板 22 とが接合されて、素子搭載基板 10 に設けられた内部接続端子 19 と整合用回路基板 22 に設けられたインピーダンス整合用回路 24 とが電氣的に接続されていることを特徴とする



【特許請求の範囲】

【請求項1】 表面弾性波フィルタ素子等の素子が搭載されるパッケージに形成された、前記素子とワイヤ等で連結される内部接続端子と、外部回路等に接続される外部接続端子との間に、インピーダンス整合用回路が形成された素子搭載用パッケージにおいて、

該インピーダンス整合用回路が、前記素子が搭載される素子搭載基板とは別体に形成された整合用回路基板に形成され、

且つ前記素子搭載基板と整合用回路基板とが接合されて、素子搭載基板に設けられた内部接続端子と整合用回路基板に設けられたインピーダンス整合用回路とが電氣的に接続されていることを特徴とする素子搭載用パッケージ。

【請求項2】 素子搭載基板及び整合用回路基板がセラミックによって形成されている請求項1記載の素子搭載用パッケージ。

【請求項3】 素子搭載基板及び整合用回路基板がセラミックによって形成され、インピーダンス整合用回路が、焼結タングステン等の焼結金属から成る多孔性導体中に、前記焼結金属よりも低融点である銅等の金属を含浸させて形成された導体である請求項1記載の素子搭載用パッケージ。

【請求項4】 素子搭載基板と整合用回路基板とが、同一組成のセラミックによって形成されている請求項1～3のいずれか一項記載の素子搭載用パッケージ。

【請求項5】 素子搭載基板と整合用回路基板とが、アルミナ成分を主成分とするセラミックによって形成されている請求項1～4のいずれか一項記載の素子搭載用パッケージ。

【請求項6】 素子搭載基板と整合用回路基板とがろう付けによって接合されている請求項1～5のいずれか一項記載の素子搭載用パッケージ。

【請求項7】 整合用回路基板の上面に、複数個の素子搭載基板が接合されている請求項1～6のいずれか一項記載の素子搭載用パッケージ。

【請求項8】 インピーダンス整合用回路が、接地層間に挟まれて成るストリップライン構造である請求項1～7のいずれか一項記載の素子搭載用パッケージ。

【請求項9】 インピーダンス整合用回路と内部接続端子との電氣的接続が、導電性ペーストが充填されて形成されたビアを介してなされている請求項1～7のいずれか一項記載の素子搭載用パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は素子搭載用パッケージに関し、更に詳細には表面弾性波フィルタ素子等の素子が搭載されるパッケージに形成された、前記素子とワイヤ等で連結される内部接続端子と、外部回路等に接続される外部接続端子との間に、インピーダンス整合用回路が

形成された素子搭載用パッケージに関する。

【0002】

【従来の技術】 移動通信機器に使用される表面弾性波フィルタ素子が搭載される素子搭載用パッケージとしては、特開平6-112762号公報において、図3に示す素子搭載用パッケージが提案されている。図3に示す素子搭載用パッケージには、セラミック製のパッケージ100に表面弾性波フィルタ素子102、104が搭載される。かかる表面弾性波フィルタ素子102、104にワイヤ等で連結される内部接続端子118と、パッケージ100の表面に形成された外部接続端子116との間には、接地層112、114に挟まれたストリップライン構造のインピーダンス整合用回路106が形成されている。このインピーダンス整合用回路106は、通常、そのパターンの全長が、パッケージ100に形成された他の信号入出力用配線パターンに比較して長いものである。かかるインピーダンス整合用回路106と搭載する表面弾性波フィルタ素子102、104とのインピーダンスのマッチングは、通常、インピーダンス整合用回路106のパターン長さ及び／又はパターン幅を調整することによって行われている。

【0003】

【発明が解決しようとする課題】 この様に、搭載される表面弾性波フィルタ素子102、104とのインピーダンスがマッチングされたインピーダンス整合用回路106を具備する素子搭載用パッケージによれば、移動通信機器の小型化要請に応えることが可能である。しかしながら、インピーダンス整合用回路106のパターンの全長は、他の信号入出力用配線パターンに比較して長いため、パッケージ100内に他の信号入出力用配線パターンと混在してインピーダンス整合用回路106を形成せんとすると、パッケージが著しく複雑な構造となり易く、パッケージの製造工程も複雑化し易い。かかる傾向は、パッケージが小型化される程顕著となり易い。また、通常、インピーダンス整合用回路106は、他の配線パターンと同様にパッケージ100を形成するアルミナ成分を含有するグリーンシート等と同時に焼成されて形成されるため、アルミナ成分を含有するグリーンシートの焼成温度（1500～1600℃）で焼成できるタングステン等の金属が使用される。しかし、タングステン等の金属を焼成して形成された回路は、タングステン等の金属よりも低融点の銅等の低融点金属によって形成された回路に比較して、電気抵抗値が高くなる。

【0004】 このため、インピーダンス整合用回路106の電気抵抗値を低下させるべく、タングステン等の金属を焼成して形成した多孔性導体中に、タングステン等の金属よりも低融点の銅等の低融点金属を含浸させて形成したインピーダンス整合用回路が使用されることがある。この様に、電気抵抗値が低下されたインピーダンス整合用回路106が内蔵されたパッケージ100のキャ

ビティ108には、搭載された表面弾性波フィルタ素子102、104と内部接続端子118とをワイヤボンディング等によって電氣的に接続した後、キャビティ108内の気密状態を保持すべく、キャップ110を被着する。しかしながら、多孔性導体中に含浸させた銅等の低融点金属とセラミック製のパッケージ本体100とが剥離し易いため、インピーダンス整合用回路106を介して大気や水分がキャビティ108内に侵入し、キャビティ108の気密状態が破られることがある。そこで、本発明の目的は、表面弾性波フィルタ素子等の素子が搭載される素子搭載用パッケージにおいて、内部接続端子と外部接続端子との間に、インピーダンス整合用回路を形成しても、簡素なパッケージ構造とし得る素子搭載用パッケージを提供することにある。

【0005】

【課題を解決するための手段】本発明者等は、前記目的を達成すべく検討を重ねた結果、素子を搭載する素子搭載基板とインピーダンス整合用回路を形成する整合用回路基板との各々を別体で作成した後、両基板を接合して素子搭載用パッケージを形成することによって、インピーダンス整合用回路を他の入出力用配線パターンから独立して作成することができる。この様にして形成した素子搭載用パッケージは、インピーダンス整合用回路と他の入出力用配線パターンとを混在させて形成した従来の素子搭載用パッケージに比較して、パッケージ構造及びパッケージ製造工程の簡素化が可能となることを知った。更に、整合用回路基板の基板本体と剥離し易い材料でインピーダンス整合用回路を形成しても、素子搭載基板に形成したキャビティの気密性を十分に保持できることも併せて知り、本発明に到達した。すなわち、本発明は、表面弾性波フィルタ素子等の素子が搭載されるパッケージに形成された、前記素子とワイヤ等で連結される内部接続端子と、外部回路等に接続される外部接続端子との間に、インピーダンス整合用回路が形成された素子搭載用パッケージにおいて、該インピーダンス整合用回路が、前記素子が搭載される素子搭載基板とは別体形成された整合用回路基板に形成され、且つ前記素子搭載基板と整合用回路基板とが接合されて、素子搭載基板に設けられた内部接続端子と整合用回路基板に設けられたインピーダンス整合用回路とが電氣的に接続されていることを特徴とする素子搭載用パッケージにある。

【0006】かかる構成を有する本発明において、素子搭載基板及び整合用回路基板をセラミックによって形成することにより、素子搭載基板に形成する導体回路を基板本体との剥離性が低く気密性が高いタングステン等の金属で形成できるため、素子搭載基板に形成したキャビティの気密性を向上できる。特に、素子搭載基板及び整合用回路基板をセラミックによって形成し、インピーダンス整合用回路を、焼結タングステン等の焼結金属から成る多孔性導体中に、前記焼結金属よりも低融点である

銅等の金属を含浸させて形成することによって、インピーダンス整合用回路の抵抗値を低下させつつ素子搭載基板に形成したキャビティの気密性を向上することができる。また、素子搭載基板と整合用回路基板とを、同一組成のセラミック、特にアルミナ成分を主成分とするセラミックにより形成することによって、両者の接合の容易化を図ることができ、素子搭載基板と整合用回路基板との接合は、ろう付けによって容易に行うことができる。

【0007】更に、整合用回路基板の上面に、複数の素子搭載基板を接合することにより、複数の機能を具備する素子搭載用パッケージを提供できる。この様な、本発明に係る素子搭載用パッケージにおいて、整合用回路基板に形成するインピーダンス整合用回路を、接地層間に挟まれて成るストリップライン構造とすることにより、高周波対応用とすることができる。尚、インピーダンス整合用回路と内部接続端子との電氣的接続を、導電性ペーストが充填されて形成されたビアを介して行うことにより、最短距離で両者を電氣的に連結することができる。

【0008】

【作用】本発明においては、表面弾性波フィルタ素子等の素子を搭載する素子搭載基板と、インピーダンス整合用回路が設けられた整合用回路基板とを別体形成し、両者を電氣的に接合してパッケージを形成したものである。このため、素子搭載基板に形成されるビアを含む導体回路をインピーダンス整合用回路を考慮することなく作成でき、整合用回路基板に形成されるインピーダンス整合用回路も導体回路を考慮することなく作成できるため、両回路を混在させてパッケージを形成した場合に比較して、パッケージ構造及びパッケージ製造工程の簡素化が可能である。更に、素子搭載基板の導体回路は、素子搭載基板との剥離性が低い気密性が良好なタングステン等の金属で形成できる。このため、整合用回路基板と剥離性の高いものの電気抵抗値が低い材料で形成したインピーダンス整合用回路が基板本体と剥離しても、インピーダンス整合用回路を介して大気や水分が素子搭載基板に形成したキャビティにまで侵入することを防止でき、キャビティの気密性を確保できる。

【0009】

【実施例】本発明を図面を用いて更に詳細に説明する。図1は、本発明に係る素子搭載用パッケージの一実施例を示す断面図であって、アルミナ成分を主成分とするセラミック製の素子搭載基板10のキャビティ12内には、表面弾性波フィルタ素子14a、14bの各々が搭載されている。かかる素子14a、14bの各々は、素子搭載基板10に形成された導電性ペーストを充填して形成したビアを含む導体回路18、18・・・の各内部接続端子、及び後述するインピーダンス整合用回路の一端に接続されている内部接続端子19の各々とワイヤ16、16・・・によって電氣的に接続され、且つキャビ

ティ 12 を覆うように被着されたキャップ 20 によって気密封止されている。この素子搭載基板 10 に形成されたビアを含む導体回路 18、18・・・は、焼結タングステンのみによって形成されており、素子搭載基板 10 と同時焼成されて形成されたものである。このため、ビアを含む導体回路 18、18・・・と素子搭載基板 10 との気密性は良好であり、ビアを含む導体回路 18、18・・・を介してキャビティ 12 内に大気や水分が侵入することを防止できる。

【0010】かかる素子搭載基板 10 の一面と、別体に形成されたアルミナ成分を主成分とするセラミック製の整合用回路基板 22 の一面とは、銀ろうやはんだ等のろう付けによって接合され、パッケージが形成されている。この整合用回路基板 22 には、インピーダンス整合用回路 24 が形成されており、インピーダンス整合用回路 24 の一端は素子搭載基板 10 内に形成された導体回路 18 を構成するビアを介して内部接続端子 19 に接続されている。更に、インピーダンス整合用回路 24 の他端は、整合用回路基板 22 の表面に形成された外部接続端子 27 の一つに連結されている。この様に、インピーダンス整合用回路 24 の一端と内部接続端子 19 とをビアを介して接続することによって、両端を最短距離で接続できる。このため、ビアのインピーダンスを実質的に無視できる場合があり、この場合には、搭載する素子とのインピーダンスのマッチングをインピーダンス整合用回路 24 のみで行うことができる。また、かかるインピーダンス整合用回路 24 は、接地層 28、29 の間に挟まれたストリップライン構造となっており、高周波対応構造となっている。

【0011】本実施例のインピーダンス整合用回路 24 は、焼結温度でガス化する有機物をタングステン中に混入し焼成して得られた、焼結タングステンから成る多孔性導体中に、溶融した銅を含浸させて形成したものである。かかるインピーダンス整合用回路 24 では、焼結タングステン中に形成された孔内に銅が入りこむため、焼結タングステンのみから成る回路に比較して、電気抵抗値を低下することができる。但し、このインピーダンス整合用回路 24 を形成する銅が、整合用回路基板 22 を形成するセラミック製の基板本体と剥離し易いため、インピーダンス整合用回路 24 と基板本体との気密性が劣る。

【0012】この点、本実施例においては、気密性が要求される素子搭載基板 10 のビアを含む導体回路 18、18・・・を、アルミナ製の基板本体との気密性が良好な焼結タングステンによって形成し、且つ気密性が劣るものの低電気抵抗値のインピーダンス整合用回路 24 を、素子搭載基板 10 と別体に形成した整合用回路基板 22 に形成している。このため、搭載した表面弾性波フィルタ素子等の気密性が要求される素子搭載基板 10 における気密性を確保しつつインピーダンス整合用回路 24 の

低電気抵抗化を図ることができる。尚、素子搭載基板 10 のビアを含む導体回路 18、18・・・は、電気抵抗値が高い焼結タングステンのみで形成されているが、通常、その長さはインピーダンス整合用回路 24 よりも著しく短いため、ビアを含む導体回路 18、18・・・の電気抵抗値が問題となることはない。

【0013】本実施例においては、ビアを含む導体回路 18、18・・・は、インピーダンス整合用回路 24 又は整合用回路基板 22 に形成された導体回路 26、26・・・等を経由して整合用回路基板 22 の底面に形成された外部接続用端子 27、27・・・に接続している。このため、整合用回路基板 22 の底面に形成された外部接続用端子 27、27・・・の各々に、ピンを立設して PGA (Pin Grid Array) 構造としてもよく、はんだボール等を設けて BGA (Ball Grid Array) 構造としてもよい。また、図 2 に示す様に、整合用回路基板 22 の両側に、実装基板等に設けられた回路パターン等とコンタクトして電氣的に接続される外部接続用端子 30 が内周面に形成された凹部 32、32・・・を形成し、リードレスチップモジュール (LCC) 構造としてもよい。更に、整合用回路基板 22 上に、複数の素子搭載基板 10a、10b を形成してもよい。

【0014】以上、述べてきた本実施例においては、素子搭載基板と整合用回路基板とを同一組成のセラミックによって形成して成る素子搭載用パッケージについて説明してきたが、素子搭載基板と整合用回路基板とが組成を異にするセラミックによって形成されていてもよく、セラミック製の比較して気密性が低下するがプラスチック製であってもよい。また、搭載する素子も、表面弾性波フィルタ素子を中心にして述べてきたが、例えば半導体素子等の他の素子であってもよい。更に、インピーダンス整合用回路は、多層に形成した整合用回路基板のうち一層に形成してもよく、二層以上の多層に分けて形成してもよい。

【0015】

【発明の効果】本発明によれば、表面弾性波フィルタ素子等の素子が搭載される部分を高気密性に保持することができ、且つパッケージ構造が簡素化されパッケージの製造工程も簡素化可能な素子搭載用パッケージを提供できる。かかるパッケージは、移動通信機器に使用される表面弾性波フィルタ素子等の素子が搭載される素子搭載用パッケージとして好適に使用できる。

【図面の簡単な説明】

【図 1】本発明の一実施例を示す断面図である。

【図 2】他の実施例を示す斜視図である。

【図 3】インピーダンス整合用回路が設けられた、従来の素子搭載用パッケージの断面図である。

【符号の説明】

10 素子搭載基板

12 キャビティ

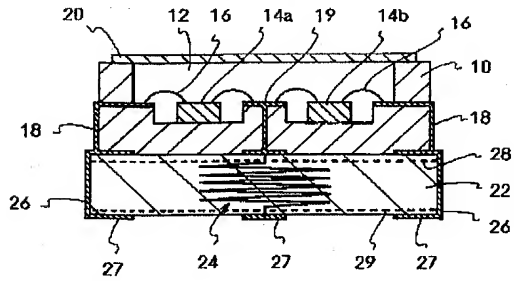
7

8

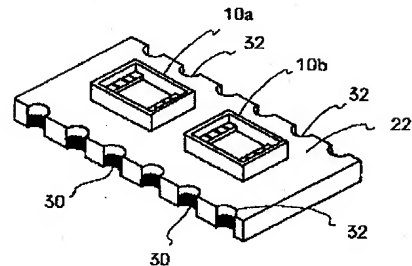
- 14 a、14 b 表面弾性波フィルタ素子
 16 ワイヤ
 18 素子搭載基板 10 のビアを含む導体回路
 20 キャップ

- 22 整合用回路基板
 24 インピーダンス整合用回路
 26 整合用回路基板 22 の導体回路

【図 1】



【図 2】



【図 3】

